

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-8354

(43) 公開日 平成11年(1999) 1月12日

(51) IntCl.[°]

H 0 1 L 27/10
27/04
21/822
27/108
21/8242

識別記号

4 5 1

F I

H 0 1 L 27/10
27/04
27/10

4 5 1

C

6 5 1

審査請求 有 請求項の数 3 O L (全 9 頁)

(21) 出願番号

特願平9-156983

(22) 出願日

平成9年(1997) 6月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 篠原 壮太

東京都港区芝五丁目7番1号 日本電気株式会社内

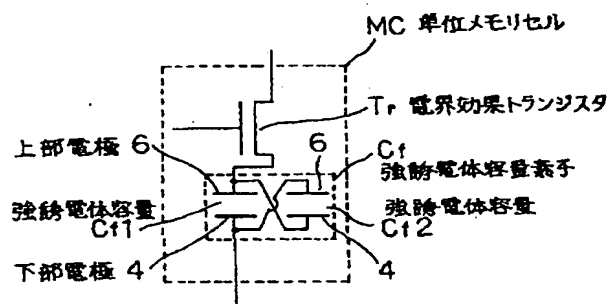
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 強誘電体容量および強誘電体メモリ

(57) 【要約】

【課題】 残留分極値の経時変化に印加電圧極性依存性のない強誘電体容量およびメモリを提供する。

【解決手段】 強誘電体メモリで用いられる強誘電体容量として、偶数個の強誘電体容量 $Cf1$ 、 $Cf2$ のうち、半数の上部電極6と残りの半数の下部電極4を電気的に短絡させた構造を有する容量を用いる。製造時に極性依存性について評価作業の必要がなく、コストが低減し、信頼性が向上する。



1

【特許請求の範囲】

【請求項1】 強誘電体膜の一主面と対向する裏面の両面に電極が配されてなる偶数個の強誘電体容量において、半数の前記強誘電体容量の前記一主面に配された電極と残りの半数の強誘電体容量の対向裏面に配された電極がショートされた構造を有する強誘電体容量。

【請求項2】 前記強誘電体容量の一主面に配された電極は、対向裏面に配された電極よりも小さい構造であって、前記強誘電体容量の一主面に配された電極と他の容量の対向裏面の電極との接続は、前記一主面と対向裏面の重なりのない部分に形成されたコンタクトホールを通じた配線層によって行われている請求項1記載の強誘電体容量。

【請求項3】 半導体基板上に、複数のワード線、複数のビット線および複数のプレート線が形成され、セルトランジスタと強誘電体容量素子とからなる複数のメモリセルが、いずれかのワード線、ビット線、プレート線に接続されて形成されている強誘電体メモリにおいて、前記メモリセルの強誘電体容量素子を構成する強誘電体容量として、前記請求項1または請求項2の強誘電体容量が用いられたことを特徴とする強誘電体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体メモリに関し、特に強誘電体メモリおよびその構成要素となる強誘電体容量に関する。

【0002】

【従来の技術】 従来、半導体基板上に形成された強誘電体素子の分極状態を利用することで情報を記憶することを特徴とした強誘電体メモリが知られている。

【0003】 図7はこの種強誘電体メモリを構成する単位メモリセルの断面図である。同図に示すように、p型シリコン基板10の表面領域内にソース・ドレインn+拡散層11が形成され、p型シリコン基板10上にゲート絶縁膜を介してゲート電極12が形成され、これによりセルトランジスタである電界効果トランジスタが構成されている。ビット線13は電界効果トランジスタの一方のソース・ドレイン拡散層11に接続されている。電界効果トランジスタ上には層間絶縁膜を挟んで、下部電極14、強誘電体膜15、上部電極16によって構成される強誘電体容量素子が形成され、上部電極16は配線層17によって電界効果トランジスタの他方のソース・ドレイン拡散層11に接続されている。

【0004】 このメモリセルの等価回路を図8に示す。電界効果トランジスタTrと強誘電体容量素子Cfとの直列接続によってメモリセルMCが構成されている。電*

$$\Delta P = C_b (V_{cc} - V_f) / S \quad (1)$$

ただし、Sは強誘電体容量の面積である。ΔPが強誘電体に加えた電圧Vfの増加に対してどのように変化するかは、読み出し動作前の強誘電体容量の分極状態によ

2

* 界効果トランジスタTrのゲート電極はワード線WLに、ソース・ドレインの一方はビット線BLに、ソース・ドレインの他方は強誘電体容量素子Cfの一方の電極に接続されている。強誘電体容量素子Cfの他方の電極はプレート線PLに接続されている。なお、通常、ワード線WLは図7に示す電界効果トランジスタのゲート電極を兼ねており、プレート線PLは、強誘電体容量素子の下部電極を兼ねている。

【0005】 図8に示すメモリセルMCは図9に示すようにマトリクス状に配列され、大規模不揮発性メモリを構成する。

【0006】 強誘電体膜はPZT (PbZrxTi1-xO3)、SBT (SrBi2Ta2O9) 等を用いて形成されており、これらの材料は図10に示すような印加電界の履歴に依存した分極値を示す。

【0007】 いま、図8に示すメモリセルにおいて、ワード線WLとビット線BLとに電圧Vcc (例えば5V) を印加し、プレート線PLに0Vを印加すると、強誘電体容量素子のCfの分極状態はAとなる。ただし図10ではプレート線側を正(+)の方向とした。この状態で、ビット線BLの電圧のみを0Vに落すと強誘電体容量素子Cfの分極状態はBとなる。この状態を例えば“1”に対応させるとメモリセルMCには“1”が書き込まれたことになる。また、ワード線WLとプレート線PLとに電圧Vccを印加し、ビット線BLに0Vを印加すると、強誘電体容量素子Cfの分極状態はCとなる。この状態からプレート線PLの電圧を0Vに落すと強誘電体容量素子Cfの分極状態は“D”となる。これによりメモリセルには例えば“0”が書き込まれたことになる。

【0008】 書き込んだデータの1, 0を判定するには以下のようにする。

【0009】 まず、読み出し動作時の等価回路を図11に示す。ビット線BLはある容量値をもっているのので、その値をCbとした。ワード線WLに電圧Vccを印加し、電界効果トランジスタTrを導通状態としてプレート線PLに電圧Vccを加える。プレート線PL側を正の方向とすると、強誘電体容量に正電圧が加わり、分極値が増加するとともに、ビット線電圧が上昇する。プレート線PLにVccを印加したとき強誘電体容量に加わる電圧をVf、強誘電体容量の分極値の増加をΔPとすると、ビット線容量に加わる電圧Vbは(Vcc - Vf)であるので、電荷保存の関係から、ΔPは次式で表される。

【0010】

て異なる。図12にその概略を示すように、分極状態が図10のDにあるときは、正極性の電圧を加えても、分極値の増加率はBの状態にあるときよりも小さくなる。

3

分極状態Bにあるときに正電圧を加えたときの強誘電体の分極増加量を ΔP_{sw} 、分極状態Dにあるときに正電圧を加えたときの強誘電体の分極増加量を ΔP_{ns} とし、横軸に V_f をとって電圧印加による ΔP_{sw} 、 ΔP_{ns} の変化の様子を描くと概ね図13のようになる。一方、 ΔP_{sw} 、 ΔP_{ns} はともに(1)式を満たすから、(1)式右辺を V_f を横軸にとって描いた直線と、 ΔP_{sw} 、 ΔP_{ns} 曲線との交点の横軸における値(それぞれ V_{sw} 、 V_{ns} とする; $V_{sw} < V_{ns}$)が、読み出し動作のときに強誘電体容量に加わる電圧を与える。

【0011】強誘電体容量の分極状態に依存して、プレート線PLに V_{cc} を印加したときのビット線電圧の値はそれぞれ $(V_{cc} - V_{sw})$ 、 $(V_{cc} - V_{ns})$ となって両者異なる値を示す(それぞれ V_{bsw} 、 V_{bns} とおく)。そこである基準電圧 V_{ref} ($V_{bsw} > V_{ref} > V_{bns}$)を決め、プレート線PLに V_{cc} を加えたときに現れるビット線電圧を V_{ref} と電氣的に比較することで、強誘電体容量に書き込まれているデータが「1」であるか「0」であるかを判定することができる。すなわち、ビット線電圧が V_{ref} よりも大きければ「1」であり、小さければ「0」であり、これらを利用した記憶素子を構成できる。

【0012】 V_{bsw} 、 V_{bns} の値はデータを書き込んでから読み出すまでの時間(retention 時間)に依存して変動することが知られている。この現象は分極状態B、Dにおける残留分極値(強誘電体に加えた電圧が0Vのときの強誘電体容量の分極値)の絶対値が時間的に減衰することに起因していると理解できる。

【0013】図10のBの状態のときの強誘電体容量の残留分極値の絶対分極値を P_b 、Dの状態のときの残留分極値の絶対値を P_d とすると、 P_b 、 P_d は図14のように、時間経過とともに減衰する傾向が見られる場合がある。残留分極値 P_b 、 P_d が時間経過とともに減衰すると、 ΔP_{sw} 、 ΔP_{ns} の読み出し動作時の電圧依存性も時間経過とともに図15のように変化する。したがって、読み出し電圧動作時のビット線に現れる電圧 V_{bsw} 、 V_{bns} も時間とともに変化し、図16からわかるように、 V_{bsw} は減少し、 V_{bns} は増加するので、 V_{bsw} 、 V_{bns} はともに書き込みデータ判定の際に比較対象となる基準電圧 V_{ref} に近づく。時間経過による V_{bsw} 、 V_{bns} の変動に起因する誤動作を防ぐために通常 V_{ref} は V_{bsw} と V_{bns} の中間電圧 $(V_{bsw} + V_{bns}) / 2$ に設定され、 V_{bsw} 、 V_{ref} 、 V_{bns} の間隔をほぼ等しくする。

【0014】

【発明が解決しようとする課題】上述した従来の強誘電体メモリでは、半導体基板上に形成された強誘電体メモリの容量絶縁膜として用いられる強誘電体薄膜はその成膜法等に起因した多結晶粒構造の不均一性等により、残

4

留分極値の経時変化の特性が印加電圧極性(正極性と負極性)に依存した異方性を示すことがしばしば見られる。この異方性は、上部電極と下部電極で異なる材料を用いた場合に特にしばしば見られる。上部電極と下部電極で異なる材料を用いる理由は、上部電極と下部電極では導電率、加工のしやすさ等の点で求められる性質が異なるためである。

【0015】残留分極値の経時変化の異方性とはすなわち、 P_b 、 P_d の経時変化が図17のように例えば P_b の方が、 P_d より時間とともに著しく減衰しやすいといった傾向を指す。この傾向が生じると ΔP_{sw} 、 ΔP_{ns} の経時変化は図18のように ΔP_{sw} の方が ΔP_{ns} よりも時間とともに著しく変化し、したがって V_{bsw} は V_{bns} よりも時間経過とともに V_{ref} に近づく傾向が強く現れる。もし V_{bsw} の方が V_{bns} よりも時間とともに V_{ref} に近づく傾向が強ければ、基準電圧 V_{ref} は、 V_{bsw} と V_{bns} の中間電圧よりも、変動の小さい V_{bns} に近い方が誤動作の可能性を小さくすることができる。したがって残留分極値の経時変化の極性異方性をもつ強誘電体容量をメモリセル容量とする場合には、 V_{sw} 、 V_{ns} のうち経時変化の大きいのはどちらで、どの程度の量の経時変化が存在するのかについて評価し、注意深く V_{ref} を設定しなければならない。しかしもし強誘電体容量の残留分極値が極性異方性をもたなければ、 V_{bsw} 、 V_{bns} の経時変化について詳しく評価する作業は必要でなく、 V_{ref} は V_{bsw} と V_{bns} の中間電圧とすればよく、 V_{ref} の設定が容易となる。残留分極値の経時変化を評価する作業を省くことができるため、この種強誘電体メモリの製造コストを低減できる。また、書き込まれたデータ読み出し時の信号電圧と基準電圧とのマージン($V_{bsw} - V_{ref}$ と $V_{ref} - V_{bns}$)の経時変化を同等にできるため、誤動作の可能性の低減にもつながり、製品の信頼性を向上させることができる。

【0016】したがって、本発明の解決すべき課題は、残留分極値の経時変化に極性異方性のない強誘電体容量を、容量の高集積化を阻害することなく作製することである。

【0017】なお、残留分極値の経時変化の極性異方性については述べられていないが、集積化マルチバイプレートにおいて、浮遊容量の存在に伴う容量値の非対称性を回避するための本発明と類似の手段として、2つの同質の容量の一方の容量の上部電極および他方の下部電極を第1のトランジスタ、残りの電極を第2のトランジスタに接続する方法が公開特許公報(A)昭和58-1324に記載されているが、概念が記載されるのみで、メモリの高集積化にとって重要である構造上の工夫については何ら開示されていない。

【0018】本発明の目的は、高集積化メモリであっても容量素子の残留分極値の経時変化の極性異方性のない

5

強誘電体容量および強誘電体メモリを提供することである。

【0019】

【課題を解決するための手段】本発明の強誘電体容量は、強誘電体膜の一主面と対向する裏面の両面に電極が配されてなる偶数個の強誘電体容量において、半数の前記強誘電体容量の前記一主面に配された電極と残りの半数の強誘電体容量の対向裏面に配された電極がショートされた構造を有する。

【0020】前記強誘電体容量の一主面に配された電極は、対向裏面に配された電極よりも小さい構造であって、前記強誘電体容量の一主面に配された電極と他の容量の対向裏面の電極との接続は、前記一主面と対向裏面の重なりのない部分に形成されたコンタクトホールを通じた配線層によって行われていてもよい。

【0021】本発明の強誘電体メモリは、半導体基板上に、複数のワード線、複数のビット線および複数のプレート線が形成され、セルトランジスタと強誘電体容量素子とからなる複数のメモリセルが、いずれかのワード線、ビット線、プレート線に接続されて形成されている強誘電体メモリにおいて、前記メモリセルの強誘電体容量素子を構成する強誘電体容量として、前記構造の強誘電体容量が用いられている。

【0022】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0023】図1は本発明の強誘電体容量の一実施形態の等価回路図、図2は図1の強誘電体容量を示す単位メモリセルの等価回路図である。

【0024】本実施形態の強誘電体メモリは、図1に示すように、半導体基板上に形成された1つの電界効果トランジスタTrに強誘電体容量素子Cfを接続した構造を単位メモリセルMCとしたもので、強誘電体容量素子Cfは、図2に示すように、大きさ、構造が同等の2つの強誘電体容量Cf1、Cf2の一方の上部電極6を他方の下部電極4に接続した構造となっている。上部電極6は下部電極4よりも小さくし、上部電極6と下部電極4の接続は後述する実施例に示すように、上部電極6と下部電極4の重なりのない部分に形成したコンタクトホールを通じた配線層で接続される。この強誘電体容量素子Cfでは一方の強誘電体容量の上部電極と他方の強誘電体容量の下部電極を短絡させて1つの組とし、一方の組を電界効果トランジスタTrに接続し、他方はプレート線PLに接続する。また4個以上の偶数個の強誘電体容量の半数の上部電極と残りの半数の下部電極を電気的に短絡させ、短絡させた一方の電極の組を電界効果トランジスタTrに接続し、もう一方の組をプレート線PLに接続してもよい。

【0025】図1に示すような構造の強誘電体容量素子Cfでは残留分極値の経時変化には極性依存性が存在し

6

ない。それは以下のように説明される。

【0026】図1の強誘電体容量素子Cfは2つの強誘電体容量によって構成されており、図2のように上部電極が電界効果トランジスタTrに接続されている容量をCf1、下部電極が電界効果トランジスタに接続されている容量をCf2と名付ける。

【0027】強誘電体容量素子Cfに“1”を書き込むときには前述のように、ワード線WLにVccを印加し、プレート線PLを接地し、ビット線BLに電圧Vccを印加してから0Vにする。この操作により、Cf1の上部電極側にVccが加わるため、Cf1は残留分極の絶対値Pbをもつ。一方、Cf2にはこの操作により、下部電極側にVccが加わることになるので、Cf2は残留分極の絶対値Pdをもつ。Cf1とCf2の容量を構成する面積が等しければ、Cf1とCf2の上下電極を交差接続した容量Cfの残留分極値の絶対値はPbとPdの平均値、すなわち、 $(Pb + Pd) / 2$ と考えてよい。

【0028】強誘電体容量素子Cfに“0”を書き込むときにはワード線WLにVccを印加し、ビット線BLを接地し、プレート線PLにVccを印加してから0Vにする。この操作により、Cf1の下部電極側にVccが加わることになるので、Cf1は残留分極値の絶対値Pdをもつ。一方、Cf2にはこの操作により上部電極側にVccが加わることになるので、Cf2は残留分極値の絶対値Pbをもつ。したがって“0”を書き込むときには、Cfの残留分極値の絶対値はPbとPdの平均、すなわち $(Pb + Pd) / 2$ と考えてよい。

【0029】以上から、強誘電体容量素子Cfに“1”を書き込んだ場合でも、“0”を書き込んだ場合でも、残留分極値の絶対値は $(Pb + Pd) / 2$ と考えてよく、強誘電体薄膜の不均質性等に起因して、PbとPdの経時変化が異なっていたとしても、Cfの残留分極値の絶対値の平均値は印加電圧極性依存性をもたない。このため、書き込まれたデータの“1”、“0”を判定する際の基準電圧Veffの設定にあたり、残留分極値の経時変化の極性依存性の評価を行う必要がなく、Veffの設定が容易となる。

【0030】図1では、2個の強誘電体容量の一方の上部電極と他方の下部電極を電気的に短絡させた構造の強誘電体容量を示したが、4個以上の偶数個の強誘電体容量の半数の上部電極と残りの半数の下部電極を電気的に短絡させた構造の強誘電体容量を用いても、同じ作用が得られる。

【0031】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0032】図3は本発明の強誘電体容量の第1実施例の等価回路図、図4は図3の強誘電体容量の一部断面平面図、図5(a)は図4のA-A線縦断面図、図5

7

(b) は図 4 の B-B 線縦断面図である。

【0033】図 3 に示すように、単位メモリセル MC は電界効果トランジスタ T_r と強誘電体容量 C_f で構成され、強誘電体容量 C_f は 2 つの強誘電体容量 C_{f1} 、 C_{f2} で構成され、強誘電体容量 C_{f1} の上部電極と強誘電体容量 C_{f2} の下部電極、強誘電体 C_{f1} の下部電極と強誘電体容量 C_{f2} の上部電極はそれぞれ接続されている。強誘電体容量 C_{f1} の下部電極はプレート線 PL に接続され、電界効果トランジスタ T_r はビット線 BL に接続され、電界効果トランジスタ T_r のゲートはワード線 WL に接続されている。

【0034】図 4 および図 5 (a), (b) は図 3 の等価回路を半導体基板上で実現するレイアウトを示している。強誘電体容量 C_{f1} の下部電極 4 と強誘電体容量 C_{f2} の上部電極 6 はコンタクトホール 2 を通じて A1 配線 3 により接続されており、強誘電体容量 C_{f1} の上部電極 6 と強誘電体容量 C_{f2} の下部電極 4 はコンタクトホール 2 を通じて A1 配線 3 により接続されている。また、強誘電体容量 C_{f1} の上部電極 6 および強誘電体容量 C_{f2} の下部電極 4 はコンタクトホール 2 を通じて、電界効果トランジスタの拡散層 1 と A1 配線 3 により接続されている。強誘電体容量の上部電極 6、下部電極 4 は Pt で構成されている。強誘電体薄膜 5 としては、PZT ($PbZr_xTi_{(1-x)}O_3$) が用いられている。

【0035】次に、図 4、5 に示す構造のメモリセルの製造工程を説明する。

【0036】半導体基板 10 上に電界効果トランジスタを作製し、この電界効果トランジスタ上に絶縁膜として SiO_2 膜 8 を堆積させる。その上に下部電極 4 として Pt を成膜してからゾルーゲル法により、強誘電体膜 5 として PZT 薄膜を成膜する。そしてイオンミリング法によって PZT と下部電極 4 を加工したのち、その上に上部電極 6 として Pt を成膜し、さらにイオンミリング法により、Pt/PZT/Pt をエッチングして、Pt/PZT/Pt で構成される強誘電体容量 C_{f1} 、 C_{f2} を作製する。強誘電体容量作製後、絶縁膜として SiO_2 膜を堆積させた後、この SiO_2 膜にコンタクトホール 2 を形成してから、配線層 3 の A1 を堆積させ、配線加工を行う。

【0037】図 5 (a) に示すように、強誘電体容量 C_{f1} と強誘電体容量 C_{f2} の上下電極 6、4、強誘電体薄膜 5 は同一面内に存在しており、 C_{f1} 、 C_{f2} の上下電極形成プロセス、強誘電体薄膜の成膜プロセスは同時に行われている。このため、強誘電体容量 C_{f1} と強誘電体容量 C_{f2} の面積を同一とすれば、両者の分極特性は全く同一であると考えられ、一方の上部電極 6 と他方の下部電極 4 を電気的に短絡させれば、合成された容量の残留分極値の平均値の経時変化に印加電圧極性依存性は見られない。

【0038】図 6 は本発明の強誘電体容量の第 2 実施例

8

の縦断面図を示している。

【0039】この強誘電体 C_{f1} および C_{f2} では、上部電極 6 の材料として Pt ではなく、 RuO_2 を用い、また強誘電体容量 C_{f1} および C_{f2} と電界効果トランジスタ拡散層 1 との接続を、拡散層 1 上に形成したコンタクトプラグ (材料は $poly-Si$) 7 を通じて下部電極 4 に対して行っている点が、上部電極 6 に対して行っている第 1 実施例と異なっている。上部電極 6 と下部電極 4 との接続関係は第 1 実施例と同様であり、作用効果も同様である。

【0040】本実施形態の強誘電体容量およびこれを構成要素とした強誘電体メモリは、強誘電体容量の一方の上部電極と他方の下部電極を電気的に短絡させているので、残留分極値の経時変化の極性依存性がなく、製作時の極性依存性の評価作業の必要性がなくなり、製造コストが低減するとともに、メモリの誤動作のおそれが少なくなり、信頼性が向上する。

【0041】

【発明の効果】以上説明したように本発明は、強誘導体容量の一方の上部電極と他方の下部電極を電気的にショートすることにより、強誘電体メモリの製造時に、読み出したデータ判定のための基準電圧設定に当たって利用する 2 つの記憶状態の経時変化の特性の違いを評価する作業の必要性がなくなって、製造コストが低減するとともに、2 つの記憶状態の経時変化の特性が同等にできるので、読み出し時の信号電圧マージンの経時変化を同等にできるため、強誘電体メモリの誤動作の可能性が低減し、製品の信頼性が向上するという効果がある。

【図面の簡単な説明】

【図 1】本発明の強誘電体容量の一実施形態の等価回路図である。

【図 2】図 1 の強誘電体容量を示す単位メモリセルの等価回路図である。

【図 3】本発明の強誘電体容量の第 1 実施例の等価回路図である。

【図 4】図 3 の強誘電体容量の一部断面平面図である。

【図 5】(a) は図 4 の A-A 線縦断面図。(b) は図 4 の B-B 線縦断面図。

【図 6】本発明の強誘電体容量の第 2 実施例の縦断面図である。

【図 7】強誘電体単位メモリの従来例の縦断面図である。

【図 8】図 7 の単位メモリセルの等価回路図である。

【図 9】強誘電体メモリの等価回路図である。

【図 10】強誘電体の分極特性の説明図である。

【図 11】本発明が解決しようとする課題を説明するための回路図である。

【図 12】強誘電体の分極特性の説明図である。

【図 13】強誘電体の分極特性の説明図である。

【図 14】強誘電体の分極特性の経時変化を説明する図

10

20

30

40

50

9

である。

【図15】強誘電体の分極特性の経時変化を説明する図である。

【図16】強誘電体の分極特性の経時変化を説明する図である。

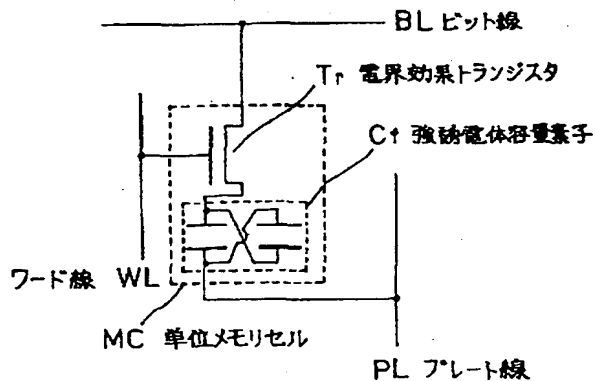
【図17】強誘電体の分極特性の経時変化を説明する図である。

【図18】強誘電体の分極特性の経時変化を説明する図である。

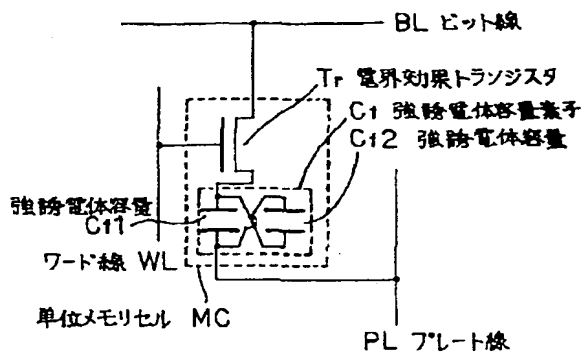
【符号の説明】

- 1 拡散層
- 2 コンタクトホール
- 3 AL配線

【図1】



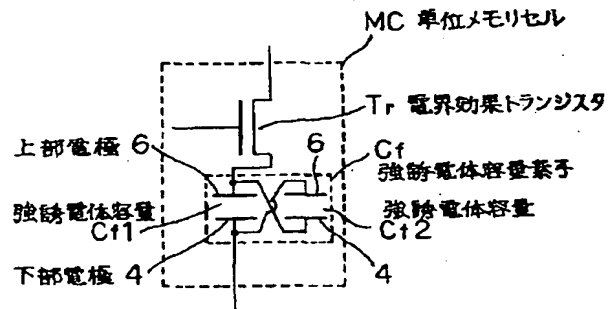
【図3】



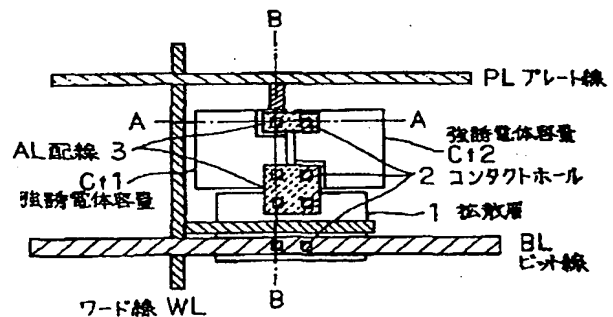
10

- * 4 下部電極
- 5 強誘電体薄膜
- 6 上部電極
- 7 コンタクトプラグ
- 8 SiO_2 膜
- 10 p型Si基板
- BL ビット線
- Cf 強誘電体容量素子
- Cf1, Cf2, Cf11, Cf21 強誘電体容量
- 10 MC 単位メモリセル
- Tr 電界効果トランジスタ
- PL プレート線
- * WL ワード線

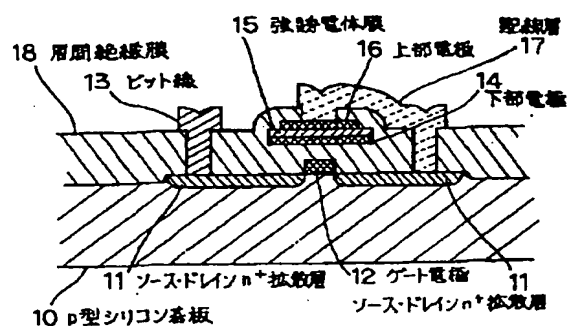
【図2】



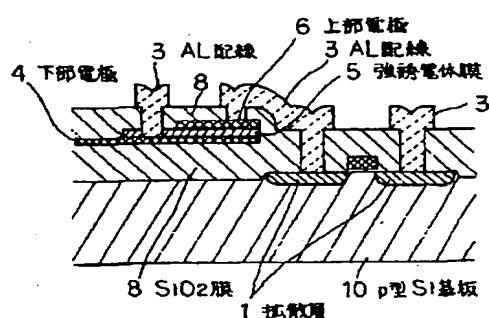
【図4】



【圖 7】

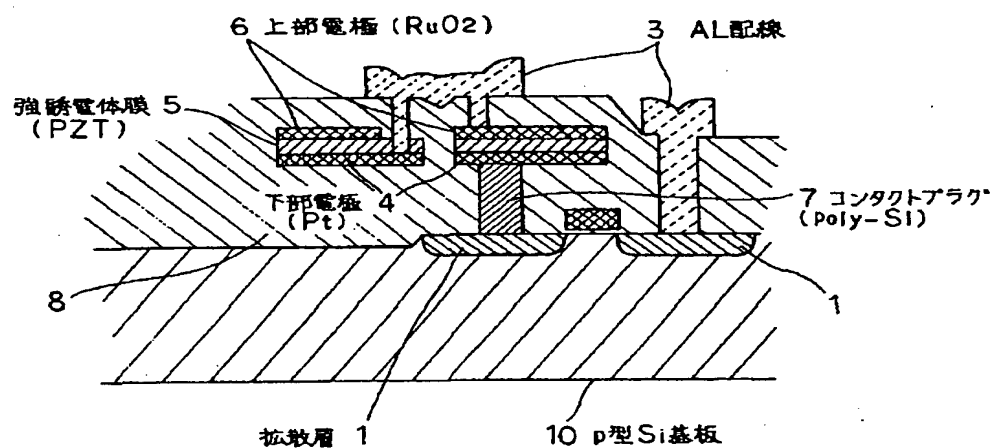


(8)

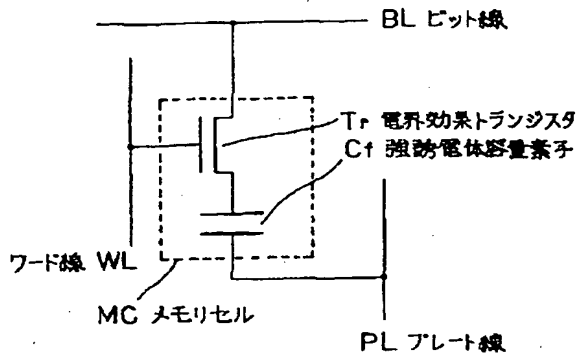


(b)

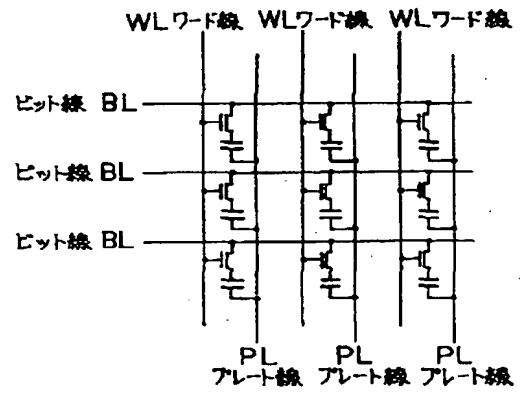
【図 6】



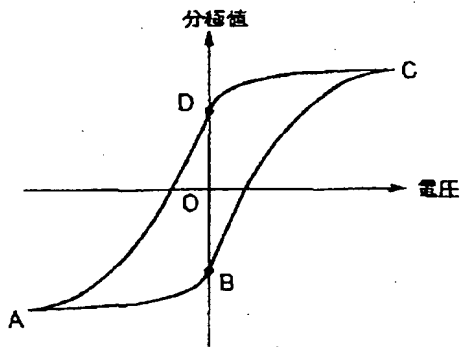
【図 8】



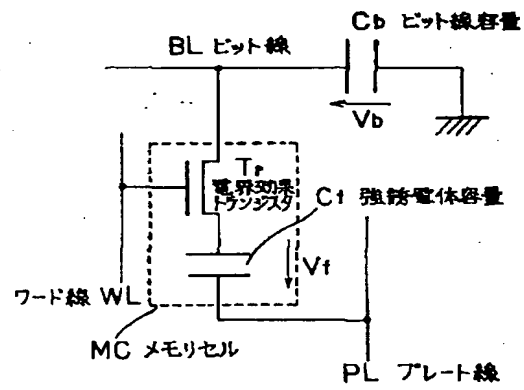
【図 9】



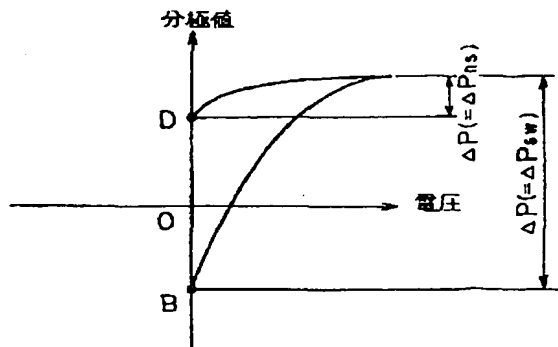
【図 10】



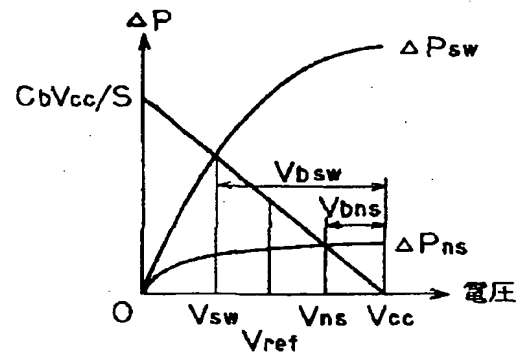
【図 11】



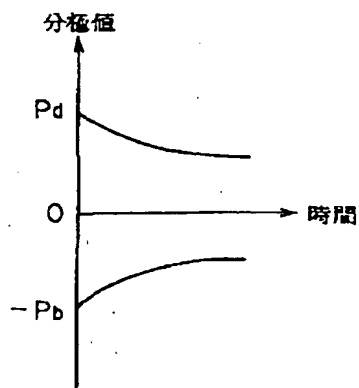
【図 12】



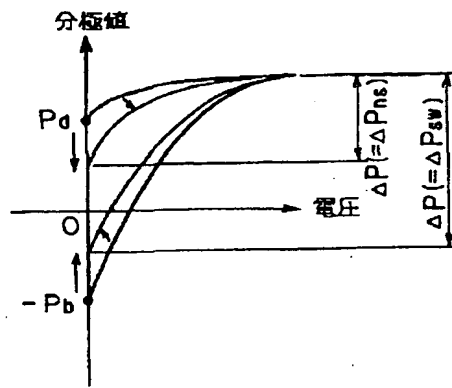
【図 13】



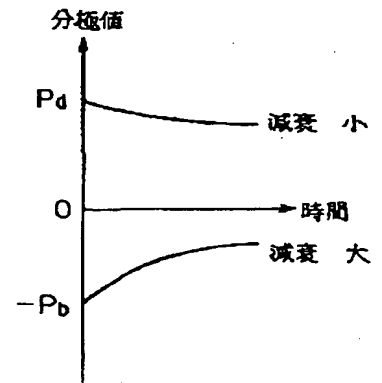
【図 14】



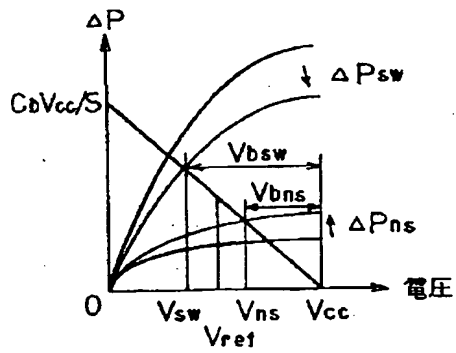
【図 15】



【図 17】



【図 16】



【図 18】

